

#2
10-5-01

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Masami KANASUGI, et al.

Filed : Concurrently herewith

For : FIR FILTER, METHOD OF OPERATING

Serial No. : Concurrently herewith

August 13, 2001

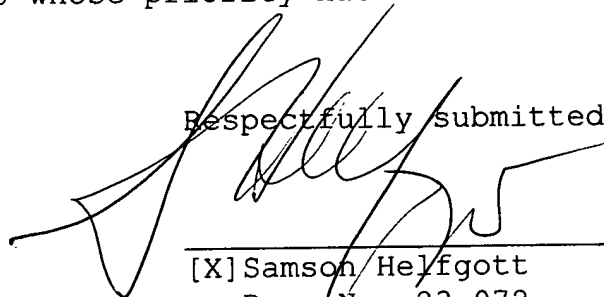
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese Patent Application No. 2000-371058 of December 6, 2000 whose priority has been claimed in the present application.

Respectfully submitted



[X] Samson Helfgott
Reg. No. 23,072
[] Aaron B. Karas
Reg. No. 18,923

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.: FUJX 18.900
BHU:priority

Filed Via Express Mail
Rec. No.: EL639693825US
On: August 13, 2001
By: Brendy Lynn Belony

Any fee due as a result of this paper, not covered
by an enclosed check may be charged on Deposit Acct.
No. 08-1634.

jc857 U.S. PTO
09/928803
08/13/01

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年12月 6日

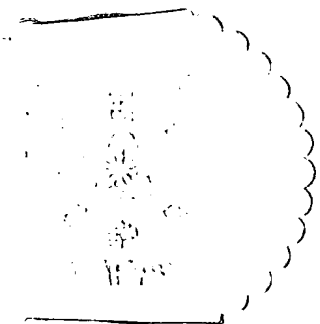
出 願 番 号
Application Number:

特願2000-371058

出 願 人
Applicant(s):

富士通株式会社

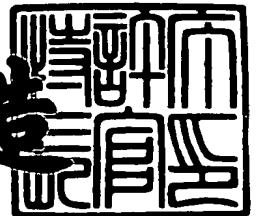
Jc857 U.S. PTO
09/928803
08/13/01



2001年 5月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3042806

【書類名】 特許願

【整理番号】 0000060

【提出日】 平成12年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H03H 17/02

【発明の名称】 F I R フィルタ、F I R フィルタの制御方法、および F I R フィルタを有する半導体集積回路、F I R フィルタでフィルタリングされたデータを送信する通信システム

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 金杉 雅己

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 谷口 章二

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 黒岩 功一

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 疋田 真大

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 F I R フィルタ、F I R フィルタの制御方法、および F I R フィルタを有する半導体集積回路、F I R フィルタでフィルタリングされたデータを送信する通信システム

【特許請求の範囲】

【請求項 1】 伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタ。

【請求項 2】 請求項 1 の F I R フィルタにおいて、

前記入力データを順次に受けるシフトレジスタと、

前記シフトレジスタの各遅延子の出力と、タップ係数とを乗算する係数乗算器とを備え、

前記第 1 演算部は、前記係数乗算器の出力を加算する第 1 加算器ツリーと、該第 1 加算器ツリーの出力と前記付加データとを乗算する第 1 乗算器とを有し、

前記第 2 演算部は、前記係数乗算器からの出力のうち前記前回のデータを加算する第 2 加算器ツリーと、該第 2 加算器ツリーの出力と前記差とを乗算する第 2 乗算器とを有し、

前記加算部は、前記第 1 乗算器の出力と前記第 2 乗算器の出力とを加算することを特徴とする F I R フィルタ。

【請求項 3】 請求項 2 記載の F I R フィルタにおいて、

前記係数乗算器の各出力と、前記第 2 加算器ツリーとを接続するスイッチを備え、

前記スイッチは、前記シフトレジスタにおける前記入力データのシフト動作に応じてスイッチングされ、前記第 2 加算器ツリーに前記前回データを伝達することを特徴とする F I R フィルタ。

【請求項 4】 伝送情報からなりビット列で構成される入力データのうち、

今回のデータと、該今回のデータを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データとを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタ。

【請求項 5】 伝送情報からなりビット列で構成される入力データのうち、今回のデータを加算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算する第 2 演算部と、

前記第 1 演算部の出力と前記第 2 演算部の出力とを加算する加算部と、

前記加算部の出力と、前記今回のデータに対応する前記付加データとを乗算し

、その結果をフィルタ応答として出力する乗算部とを備えていることを特徴とする F I R フィルタ。

【請求項 6】 伝送情報からなりビット列で構成される入力データを順次に受け、

前記入力データと、該入力データを伝送するために付加される付加データとを演算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算し、

両演算結果を加算し、その結果をフィルタ応答として出力することを特徴とする F I R フィルタの制御方法。

【請求項 7】 伝送情報からなりビット列で構成される入力データを順次に受け、

前記入力データのうち、今回のデータと、該今回のデータを伝送するために付加される付加データとを演算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データとを演算し、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタの制御方法。

【請求項 8】 伝送情報からなりビット列で構成される入力データを順次に受け、

前記入力データのうち、今回のデータを加算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算し、

両演算結果を加算し、

その加算結果を、前記今回のデータに対応する前記付加データとを乗算し、

その結果をフィルタ応答として出力することを特徴とする F I R フィルタの制御方法。

【請求項 9】 F I R フィルタを有する半導体集積回路であって、

前記 F I R フィルタは、

伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタを有する半導体集積回路。

【請求項 1 0】 F I R フィルタでフィルタリングされたデータを送信する通信システムであって、

前記通信システムは、

伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタでフィルタリングされたデータを送信する通信システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、移動通信システムの携帯機等に使用される F I R フィルタに関する。

【0 0 0 2】

【従来の技術】

F I R (Finite Impulse Response) フィルタは、アナログフィルタでは実現できない直線位相特性、伝達関数、安定性を有しているため、通信装置、オーディオ装置などの様々な用途に利用されている。例えば、F I R フィルタは、デジタル移動通信方式の一つである CDMA (符号分割多元接続; Code Division Multiple Access) 等のフィルタに適用される。CDMA システムは、送信レートが可変であり、伝送レートの変化量の比を表すだけの入力分解能が必要になる。すなわち、伝送レートの上昇に伴い、フィルタの入力データの分解能 (ビット幅) を上げる必要がある。また、CDMA システムにおいてコード多重により伝送する場合、信号点間の距離を十分にとるための分解能が必要になる。

【0 0 0 3】

【発明が解決しようとする課題】

一般に、F I R フィルタは、シフトレジスタ、乗算器、加算器等で構成されている。これ等回路は、入力データの最大分解能に合わせて構成されなくてはならない。この結果、フィルタの回路規模は、入力データのビット幅に応じて増大してしまう。特に、乗算器の回路規模は、入力データのビット幅の増加に応じて大幅に増大する。しかしながら、上記入力分解能は、常時変化するものではない。一般に、伝送レートが変化する間隔は、入力データがシフトレジスタを通過する時間より十分長い。

【0 0 0 4】

本発明の目的は、F I R フィルタへの入力データのビット幅を減少させ、ハードウェアの規模を縮小することにある。

【0 0 0 5】

【課題を解決するための手段】

請求項 1 の F I R フィルタ、請求項 6 の F I R フィルタの制御方法、請求項 9 の F I R フィルタを有する半導体集積回路、および請求項 1 0 の F I R フィルタでフィルタリングされたデータを送信する通信システムでは、フィルタは、伝送情報からなりビット列で構成される入力データと、入力データを伝送するために付加される付加データとをそれぞれ受ける。入力データは、付加データと演算される。この演算は、例えば、第 1 演算部で実行される。入力データのうち前回のデータに対応する付加データと、今回のデータに対応する付加データとの差が求められ、この差と前回のデータとが演算される。この演算は、例えば、第 2 演算部で実行される。そして、これ等演算結果が、例えば、加算部で加算され、その結果がフィルタ応答として出力される。

【0006】

入力データと付加データとを別々に受けて演算が実行されるため、入力データと付加データとを合わせたビット幅の大きいデータを受ける場合に比べ、フィルタの回路規模が縮小される。したがって、半導体集積回路のチップサイズが小さくされ、通信システムのコストが低減される。

請求項 2 の F I R フィルタは、シフトレジスタと、係数乗算器とを備えている。シフトレジスタは、入力データを順次に受け、受けた入力データを遅延子に伝達する。係数乗算器は、シフトレジスタの各遅延子の出力と、タップ係数とを乗算する。第 1 演算部は、第 1 加算器ツリーと、第 1 乗算器とを有している。第 1 加算器ツリーは、係数乗算器の出力を加算する。第 1 乗算器は、第 1 加算器ツリーの出力と付加データとを乗算する。第 2 演算部は、第 2 加算器ツリーと、第 2 乗算器とを有している。第 2 加算器ツリーは、係数乗算器からの出力のうち前回のデータを加算する。第 2 乗算器は、第 2 加算器ツリーの出力と付加データの差とを乗算する。加算部は、第 1 乗算器の出力と第 2 乗算器の出力とを加算し、加算結果をフィルタ応答として出力する。

【0007】

入力データのビット幅を小さくできるため、係数乗算器の数が低減され、第 1 および第 2 加算器ツリー、第 1 および第 2 乗算器の回路規模が縮小される。

請求項3のFIRフィルタは、係数乗算器の出力と、第2加算器ツリーとをそれぞれ接続するスイッチとを備えている。これ等スイッチは、シフトレジスタにおける入力データのシフト動作に応じてスイッチングされる。そして、遅延子に順次に保持されるデータのうち、前回のデータが第2加算器ツリーに伝達される。

【0008】

請求項4のFIRフィルタおよび請求項7のFIRフィルタの制御方法では、フィルタは、伝送情報からなりビット列で構成される入力データを順次に受ける。入力データのうち今回のデータは、この今回のデータを伝送するために付加される付加データと演算される。この演算は、例えば、第1演算部で実行される。入力データのうち前回のデータは、この前回のデータに対応する付加データと演算される。この演算は、例えば、第2演算部で実行される。そして、これ等演算結果が、例えば、加算部で加算され、その結果がフィルタ応答として出力される。入力データと付加データとを別々に受けて演算が実行されるため、フィルタの回路規模が縮小される。

【0009】

請求項5のFIRフィルタおよび請求項8のFIRフィルタの制御方法では、フィルタは、伝送情報からなりビット列で構成される入力データを順次に受ける。入力データのうち今回のデータが加算される。この演算は、例えば、第1演算部で実行される。入力データのうち前回のデータに対応する付加データと、今回データに対応する付加データとの比が求められ、この比と前回のデータとが演算される。この演算は、例えば、第2演算部で実行される。これ等演算結果は、例えば加算部で加算される。この加算結果は、今回のデータに対応する付加データと乗算される。この乗算は、例えば、乗算器で実行される。そして、乗算結果がフィルタ応答として出力される。入力データと付加データとを別々に受けて演算が実行されるため、フィルタの回路規模が縮小される。

【0010】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の F I R フィルタ、F I R フィルタの制御方法、F I R フィルタを有する半導体集積回路、および F I R フィルタでフィルタリングされたデータを送信する通信システムの第 1 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 3、請求項 6、請求項 9、請求項 1 0 に対応している。

【 0 0 1 1 】

F I R フィルタ 2 は、例えば、CDMA 方式あるいは W-CDMA (Wideband-CDMA) 方式の通信システムにおける携帯機 4 の送信回路 6 に使用される。送信回路 6 は、半導体製造技術を使用して、Si 基板上に CMOS トランジスタ等を集積して 1 チップで形成されている。携帯機 4 から送信された信号は、基地局 8 で受信される。

図 2 は、F I R フィルタ 2 の詳細を示している。

【 0 0 1 2 】

F I R フィルタ 2 は、シフトレジスタ 1 0、係数乗算器 MLT1、MLT2、MLT3、MLT4、第 1 演算部 1 2、第 2 演算部 1 4、加算器 ADD6、およびスイッチ SW1、SW2、SW3 を有している。

シフトレジスタ 1 0 は、入力データ DIN を保持するフリップフロップ FF1、FF2、FF3、FF4 (遅延子) を直列に接続して構成されている。この実施形態では、入力データ DIN のビット幅は、例えば 5 ビットにされている。すなわち、シフトレジスタ 1 0 は、初段のフリップフロップ FF1 で 5 ビットの入力データ DIN を受け、受けたデータをサンプリングトリガ信号 (図示せず) に同期して順次後段のフリップフロップ FF2 ~ FF4 にシフトする。係数乗算器 MLT1 ~ MLT4 は、それぞれフリップフロップ FF1 ~ FF4 の出力データとタップ係数 C1 ~ C4 とを乗算する。

【 0 0 1 3 】

第 1 演算部 1 2 は、加算器 ADD1、ADD2、ADD3 で構成された加算器ツリー ADT1 と、乗算器 MLT5 とを有している。加算器ツリー ADT1 は、係数乗算器 MLT1 ~ MLT4 から出力されるデータを加算し、加算結果を乗算器 MLT5 に出力する。乗算器 MLT5 は、上記加算結果と付加データとを乗算する。ここで、付加データは、入力データ DIN を受信側 (この例では基地局 8) に確実に伝送するために付加される情報である。この実施形態では、付加データは、例えば、データの伝送レートの変化に対応して変化する。付加データの最大ビット幅 (分解能) は、7 ビットにされてい

る。

【 0 0 1 4 】

第 2 演算部 1 4 は、加算器 ADD4、ADD5 で構成された加算器ツリー ADT2 と、乗算器 MLT6 とを有している。加算器ツリー ADT2 は、スイッチ SW1 ～ SW3 を介して、係数乗算器 MLT2 ～ MLT4 から出力されるデータを受け、加算結果を乗算器 MLT6 に出力している。スイッチ SW1 ～ SW3 は、例えば、CMOS 伝達ゲートで構成されている。乗算器 MLT6 は、上記加算結果と付加データの差とを乗算する。ここで、付加データの差とは、前回の入力データに対応する付加データと今回の入力データに対応する付加データとの差である。

【 0 0 1 5 】

加算器 ADD6 は、乗算器 MLT5、MLT6 から出力されるデータを加算し、加算結果を出力データ DOUT（フィルタ応答）として出力している。

なお、この実施形態では、説明を分かりやすくするため、4 個のフリップフロップ FF1 ～ FF4 と、これ等フリップフロップ FF1 ～ FF4 に対応する乗算器、加算器でフィルタを構成した例を示している。実際の FIR フィルタでは、フリップフロップの数（入力データのビット長）は、図 2 のフリップフロップより多く、加算器ツリー等の回路規模も大きい。

【 0 0 1 6 】

図 3 は、図 2 の加算器ツリー ADT2 に入力されるデータを示している。

図中、データ A、B、C、D は、シフトレジスタ 1 0 のフリップフロップ FF1 ～ FF4 に保持されている前回のデータを示し、a、b、c、d は、シフトレジスタ 1 0 に新たに入力されるデータ（今回のデータ）を示している。矢印は、データのシフト方向を示している。

【 0 0 1 7 】

時刻 $Dt-1$ において、フリップフロップ FF1 ～ FF4 は、それぞれ前回のデータ D、C、B、A を保持している。このとき、スイッチ SW1 ～ SW3 はオフしている。

時刻 Dt において、シフトレジスタがシフト動作し、フリップフロップ FF2 ～ FF4 は、それぞれデータ D、C、B を保持する。初段のフリップフロップ FF1 は、新たにフィルタに入力されたデータ a（今回のデータ）を保持する。このとき、ス

イッチSW1～SW3はオンする。このため、加算器ツリーADT2は、前回のデータB、C、Dを受け、受けたデータを加算する。

【0018】

時刻Dt+1において、シフトレジスタがシフト動作し、フリップフロップFF1～F4は、それぞれ今回のデータb、aおよび前回のデータD、Cを保持する。このとき、スイッチSW1はオフする。オフしているスイッチに対応する加算器ツリーADT2の端子には、ゼロが供給される。このため、加算器ツリーADT2は、前回のデータC、Dを受け、受けたデータを加算する。

【0019】

時刻Dt+2において、シフトレジスタがシフト動作し、フリップフロップFF1～F4は、それぞれ今回のデータc、b、aおよび前回のデータDを保持する。このとき、スイッチSW2はオフする。このため、加算器ツリーADT2は、前回のデータDのみを受け、それを乗算器MLT6に出力する

時刻Dt+3において、シフトレジスタがシフト動作し、フリップフロップFF1～F4は、それぞれ今回のデータd、c、b、aを保持する。このとき、スイッチSW3はオフする。このため、新たなデータd、c、b、aは、加算器ツリーADT2に伝達されない。

【0020】

このように、加算器ツリーADT2は、常に前回のデータを加算する演算回路として動作する。

図4は、付加データ（伝送レート）が変化したときのFIRフィルタの動作を示している（図3の時刻Dt）。

図の横方向は、フィルタにデータが供給された時刻を示している。換言すれば、データを保持しているフリップフロップFF1～FF4を示している。図の縦方向は、伝送レート（分解能）を示している。この例では、伝送レートが“6”（2進数の“000 0110”）から“2”（2進数の“000 0010”）に変更された場合を示している。すなわち、前回のデータ（D、C、B等）は、伝送レートが“6”で送信され、今回のデータ（a等）は伝送レートが“2”で送信される。FIRフィルタ2は、太線で囲った領域を出力応答とする必要がある。

【 0 0 2 1 】

図 2 の第 2 演算部 1 4 は、乗算器 MLT6 で前回のデータ D、C、B と伝送レートの差（この例では伝送レート 6 と伝送レート 2 との差で “4”）を乗算する。この乗算結果は、図の上側の破線枠に対応している。図 2 の第 1 演算部 1 2 は、乗算器 MLT5 で今回のデータ a および前回のデータ D、C、B と今回の伝送レート “2” を乗算する。この乗算結果は、図の下側の破線枠に対応している。そして、図 2 の加算器 ADD6 で両乗算結果が加算され、図の太枠で示した領域に対応する出力データ DOUT（出力応答）が生成される。

【 0 0 2 2 】

以上、この実施形態では、入力データと付加データとを別々に受けて演算を実行し、出力データ DOUT を生成した。このため、入力データと付加データとを合わせたビット幅の大きいデータを受ける場合に比べ、フィルタの回路規模を縮小できる。すなわち、シフトレジスタ 1 0 に入力される入力データ DIN のビット幅を小さくできるため、係数乗算器の数を低減でき、加算器ツリー 1 2、1 4、乗算器 MLT5、MLT6 の回路規模を縮小できる。したがって、半導体集積回路のチップサイズが小さくされ、通信システムのコストが低減される。

【 0 0 2 3 】

特に、長い周期でしか変化しない伝送レート等の付加データと伝送情報からなる入力データ DIN とを別々に受けることで、顕著な効果を得ることができる。

スイッチ SW1 ～ SW3 を形成し、シフトレジスタ 1 0 のシフト動作毎に、入力側の係数乗算器に対応するスイッチから順次にオフした。このため、シフトレジスタ 1 0 に供給されるデータのうち、前回のデータのみを確実に加算器ツリー 1 4 に伝達できる。

【 0 0 2 4 】

図 5 は、本発明の第 2 の実施形態における FIR フィルタを示している。この実施形態は、請求項 1 ないし請求項 3、請求項 6、請求項 9、請求項 1 0 に対応している。第 1 の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

FIR フィルタは、第 1 の実施形態と同様、例えば、CDMA 方式あるいは W-CDMA

(Wideband-CDMA) 方式の通信システムにおける携帯機の送信回路（半導体集積回路）に使用される。この実施形態の F I R フィルタは、図 2 の F I R フィルタ 2 に、保持回路 1 6 および演算回路 1 8 を付加して構成されている。それ以外の構成は、第 1 の実施形態（図 2）と同一である。

【 0 0 2 5 】

保持回路 1 6 は、フリップフロップからなり、入力データ DIN の供給の都度発生されるトリガ信号 TG に同期して付加データ（伝送レート）を取り込む。このため、保持回路 1 6 からは、前回の付加データが出力される。演算回路 1 8 は、今回の付加データと、保持回路 1 6 が保持している前回の付加データとの差を求め、求めた差を乗算器 MLT6 に出力する。

【 0 0 2 6 】

本実施形態の F I R フィルタの動作は、上述した第 1 の実施形態と同一であるため、説明を省略する。

この実施形態においても上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、簡単な論理回路（保持回路 1 6 および演算回路 1 8）により付加データの差を求めることができる。換言すれば、付加データの差を求めるための制御が容易になる。

【 0 0 2 7 】

図 6 は、本発明の第 3 の実施形態における F I R フィルタを示している。この実施形態は、請求項 1 ないし請求項 3、請求項 6、請求項 9、請求項 1 0 に対応している。第 1 の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

F I R フィルタは、第 1 の実施形態と同様、例えば、CDMA 方式あるいは W-CDMA (Wideband-CDMA) 方式の通信システムにおける携帯機の送信回路（半導体集積回路）に使用される。

【 0 0 2 8 】

この実施形態では、図 2 に示した F I R フィルタ 2 の第 2 演算部 1 4 の代わりに第 2 演算部 2 0 が形成され、スイッチ SW3 の代わりに切替スイッチ SW4 が形成されている。それ以外の構成は、第 1 の実施形態（図 2）と同一である。

第 2 演算部 2 0 は、加算器 ADD4 と乗算器 MLT6 とを有している。スイッチ SW1 は、係数乗算器 MLT2 から出力されるデータを加算器 ADD4 に伝達する。スイッチ SW2 は、加算器 ツリー ADT1 の加算器 ADD2 から出力されるデータを切替スイッチ SW4 を介して加算器 ADD4 に伝達する。切替スイッチ SW4 は、加算器 ADD2 からの出力データまたは係数乗算器 MLT4 からの出力データの一方を加算器 ADD4 に伝達する。

【 0 0 2 9 】

図 7 は、図 6 の第 2 演算部 2 0 に入力されるデータを示している。上述した図 3 と同じ内容については、説明を省略する。図中の “L” は、切替スイッチ SW4 がスイッチ SW2 に接続されていることを示し、“R” は、切替スイッチ SW4 が係数乗算器 MLT4 に接続されていることを示している。

時刻 $Dt-1$ において、スイッチ SW1、SW2 はオフし、切替スイッチ SW4 は、スイッチ SW2 に接続されている。時刻 Dt において、スイッチ SW1、SW2 はオンし、加算器 ツリー ADT2 は、前回のデータ B、C、D を受ける。時刻 $Dt+1$ において、スイッチ SW1 はオフし、加算器 ツリー ADT2 は、前回のデータ C、D を受ける。時刻 $Dt+2$ において、スイッチ SW2 はオフし、切替スイッチ SW4 は、係数乗算器 MLT4 に接続される。このため、加算器 ツリー ADT2 は、前回のデータ D のみを受け、それを乗算器 MLT6 に出力する。時刻 $Dt+3$ において、スイッチ SW1、SW2 はオフし、切替スイッチ SW4 は、スイッチ SW2 に接続される。このため、新たなデータ d、c、b、a は、加算器 ツリー ADT2 に伝達されない。このように、加算器 ツリー ADT2 は、常に前回のデータを加算する演算回路として動作する。

【 0 0 3 0 】

本実施形態の FIR フィルタの動作は、上述した第 1 の実施形態と同一であるため、説明を省略する。

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、加算器 ツリー ADT1 の加算器 ADD2 の加算結果を、加算器 ツリー 2 0 の加算データとして利用した。このため、加算器 ツリー 2 0 の回路規模を縮小できる。

【 0 0 3 1 】

図 8 は、本発明の第 4 の実施形態における FIR フィルタを示している。この

実施形態は、請求項 4 および請求項 7 に対応している。第 1 の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

FIR フィルタは、第 1 の実施形態と同様、例えば、CDMA 方式あるいは W-CDMA (Wideband-CDMA) 方式の通信システムにおける携帯機の送信回路（半導体集積回路）に使用される。

【 0 0 3 2 】

この実施形態では、第 1 の実施形態のスイッチ SW1～SW3 の代わりに、切替スイッチ SW5、SW6、SW7 が形成されている。スイッチ SW5～SW7 は、それぞれ係数乗算器 MLT2～MLT4 から出力されるデータを、加算器 ツリー ADT1 または加算器 ツリー ADT2 の一方に伝達する。また、第 1 演算部 1 2 の乗算器 MLT5 は、今回の付加データ（伝送レート）を受け、第 2 演算部 1 4 の乗算器 MLT6 は、前回の付加データ（伝送レート）を受けている。それ以外の構成は、第 1 の実施形態（図 2）と同一である。

【 0 0 3 3 】

図 9 は、図 8 の第 1 演算部 1 2 および第 2 演算部 1 4 に入力されるデータを示している。上述した図 3 と同じ内容については、説明を省略する。図中の “L” は、切替スイッチ SW5～SW7 が第 1 演算部 1 2 に接続されていることを示し、“R” は、切替スイッチ SW5～SW7 が第 2 演算部 1 4 に接続されていることを示している。

【 0 0 3 4 】

時刻 $Dt-1$ において、切替スイッチ SW5～SW7 は、第 1 演算部 1 2 に接続されている。このとき、係数乗算器 MLT2～MLT4 からの出力データは、第 1 演算部 1 2 に伝達される。時刻 Dt において、切替スイッチ SW5～SW7 は、第 1 演算部 1 4 に接続される。第 1 演算部 1 2 は、今回のデータ a を受け、第 2 演算部 1 4 は、前回のデータ B、C、D を受ける。

【 0 0 3 5 】

時刻 $Dt+1$ において、切替スイッチ SW5 は、第 1 演算部 1 2 に接続される。第 1 演算部 1 2 は、今回のデータ a、b を受け、第 2 演算部 1 4 は、前回のデータ C

、Dを受ける。時刻 $Dt+2$ において、切替スイッチSW6は、第1演算部12に接続される。第1演算部12は、今回のデータa、b、cを受け、第2演算部14は、前回のデータDのみを受ける。時刻 $Dt+3$ において、切替スイッチSW5～SW7は、第1演算部12に接続される。係数乗算器からの出力データは、第1演算部12に伝達される。

【0036】

この実施形態では、第1演算部12は、今回のデータのみを受け、第2演算部14は、前回のデータのみを受ける。

図10は、伝送レートが切り替わったとき（図9の時刻Dt）のFIRフィルタの動作を示している。上述した図4と同じ内容については、説明を省略する。

図8の第2演算部14は、乗算器MLT6で前回のデータD、C、Bと前回の伝送レート“6”とを乗算する。この乗算結果は、図の右側の破線枠に対応している。図8の第1演算部12は、乗算器MLT5で今回のデータaと今回の伝送レート“2”を乗算する。この乗算結果は、図の左側の破線枠に対応している。そして、図8の加算器ADD6で両乗算結果が加算され、図の太枠で示した領域に対応する出力データDOUTが生成される。

【0037】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。

図11は、本発明の第5の実施形態におけるFIRフィルタを示している。この実施形態は、請求項5および請求項8に対応している。第1および第4の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【0038】

FIRフィルタは、第1の実施形態と同様、例えば、CDMA方式あるいはW-CDMA (Wideband-CDMA) 方式の通信システムにおける携帯機の送信回路（半導体集積回路）に使用される。

この実施形態では、図8に示したFIRフィルタの第1演算部12の代わりに第1演算部22が形成されている。また、加算器ADD6の出力を受ける乗算器MLT7

が新たに形成されている。第 2 演算部 1 4 の乗算器 MLT6 は、前回のデータに対応する付加データ（伝送レート）と今回のデータに対する付加データとの比（分母は今回の付加データ）を受けている。それ以外の構成は、第 4 の実施形態（図 8）と同一である。

【 0 0 3 9 】

第 1 演算部 2 2 は、図 8 と同一の加算器ツリー ADT1 で構成されている。加算器 ADD6 は、加算器ツリー ADT1 から出力されるデータと第 2 演算部 1 4 の乗算器 MLT1 から出力されるデータとを乗算し、乗算結果を乗算器 MLT7 に出力している。乗算器 MLT7 は、加算器 ADD6 からのデータと、今回の付加データ（伝送レート）とを乗算し、乗算結果を出力データ DOUT（出力応答）として出力している。

【 0 0 4 0 】

図 1 2 は、伝送レートが切り替わったときの F I R フィルタの動作を示している。上述した図 4 と同じ内容については、説明を省略する。この例では、伝送レートの比は、（前回の伝送レート “6”）／（今回の伝送レート “2”）であり、“3” にされている。

図 1 1 の第 2 演算部 1 4 の乗算器 MLT6 は、前回のデータ D、C、B と伝送レートの比 “3” とを乗算する。この乗算結果は、図の右側の破線枠に対応している。図 1 1 の第 1 演算部 2 2 の乗算器 MLT5 は、今回のデータ a を受け、受けたデータを加算器 ADD6 に出力する（図の左側の破線枠に対応）。これ等データは、加算器 ADD6 で加算され、乗算器 MLT7 に伝達される。そして、乗算器 MLT7 は、加算器 ADD6 からのデータと、今回の伝送レート “2” とを乗算する。乗算結果は、図に示した 2 つの破線枠の “2 倍”、すなわち、太枠に対応する。

【 0 0 4 1 】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。

図 1 3 は、本発明の第 6 の実施形態における F I R フィルタを示している。この実施形態は、請求項 5 および請求項 8 に対応している。第 1 の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

【 0 0 4 2 】

F I R フィルタは、第 1 の実施形態と同様、例えば、CDMA 方式あるいは W-CDMA (Wideband-CDMA) 方式の通信システムにおける携帯機の送信回路（半導体集積回路）に使用される。この実施形態の F I R フィルタは、図 1 1 の F I R フィルタ 2 に、保持回路 1 6 および演算回路 2 4 を付加して構成されている。それ以外の構成は、第 6 の実施形態（図 1 1）と同一である。

【 0 0 4 3 】

保持回路 1 6 は、フリップフロップからなり、入力データ DIN の供給の都度発生されるトリガ信号 TG に同期して付加データ（伝送レート）を取り込む。このため、保持回路 1 6 からは、前回の付加データが出力される。演算回路 2 4 は、今回の付加データと、保持回路 1 6 が保持している前回の付加データとの比を求め、求めた比を乗算器 MLT6 に出力する。

【 0 0 4 4 】

本実施形態の F I R フィルタの動作は、上述した第 1 の実施形態と同一であるため、説明を省略する。

この実施形態においても、上述した第 2 および第 6 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、簡単な論理回路（保持回路 1 6 および演算回路 2 4）により付加データの比を求めることができる。換言すれば、付加データの比を求めるための制御が容易になる。

【 0 0 4 5 】

なお、上述した実施形態では、伝送情報からなる入力データ DIN と、この入力データ DIN を伝送するために付加される付加データ（例えば、伝送レート）を別々に受け、出力データ DOUT を生成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、入力データ DIN と付加データとを含むデータを受け、このデータを F I R フィルタ内に形成されたデータ分離部で規格化して、入力データ DIN と付加データとに分離し、分離したデータから出力データを生成してもよい。

【 0 0 4 6 】

また、付加データは、伝送レートに限定されるものではない。付加データは、

伝送情報からなる入力データDINを送信側で確実に受信することを目的として入力データDINに付加されるデータであればよい。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【 0 0 4 7 】

以上の実施形態において説明した発明を整理して、付記として開示する。

(付記1) 伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第1演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第2演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とするFIRフィルタ。

【 0 0 4 8 】

(付記2) 付記1記載のFIRフィルタにおいて、

フィルタに入力されビット列からなるデータを、前記入力データと前記付加データとに分離するデータ分離部を備えていることを特徴とするFIRフィルタ。

(付記3) 付記1のFIRフィルタにおいて、

前記入力データを順次に受けるシフトレジスタと、

前記シフトレジスタの各遅延子の出力と、タップ係数とを乗算する係数乗算器とを備え、

前記第1演算部は、前記係数乗算器の出力を加算する第1加算器ツリーと、該第1加算器ツリーの出力と前記付加データとを乗算する第1乗算器とを有し、

前記第2演算部は、前記係数乗算器からの出力のうち前記前回のデータを加算する第2加算器ツリーと、該第2加算器ツリーの出力と前記差とを乗算する第2乗算器とを有し、

前記加算部は、前記第1乗算器の出力と前記第2乗算器の出力とを加算することを特徴とするFIRフィルタ。

【 0 0 4 9 】

(付記 4) 付記 3 記載の F I R フィルタにおいて、

前記係数乗算器の各出力と、前記第 2 加算器ツリーとを接続するスイッチを備え、

前記スイッチは、前記シフトレジスタにおける前記入力データのシフト動作に応じてスイッチングされ、前記第 2 加算器ツリーに前記前回データを伝達することを特徴とする F I R フィルタ。

【 0 0 5 0 】

(付記 5) 付記 4 記載の F I R フィルタにおいて、

前記スイッチは、前記シフトレジスタのシフト動作毎に、入力側の前記係数乗算器に対応する該スイッチから順次オフされることを特徴とする F I R フィルタ。

(付記 6) 付記 3 記載の F I R フィルタにおいて、

所定の前記係数乗算器の出力および前記第 1 加算器ツリーを構成する加算器のうち所定の加算器の出力と、前記第 2 加算器ツリーとをそれぞれ接続するスイッチを備え、

前記スイッチは、シフトレジスタにおける前記入力データのシフト動作に応じてスイッチングされ、前記第 2 加算器ツリーに前記前回データを伝達することを特徴とする F I R フィルタ。

【 0 0 5 1 】

(付記 7) 付記 1 記載の F I R フィルタにおいて、

前記入力データの変化にตอบสนองして前記付加データを取り込み、取り込んだデータを前記前回データに対応する前記付加データとして保持する保持回路と、

前記保持回路から出力される前記付加データと、新たな前記付加データとから前記差を求める演算回路とを備えていることを特徴とする F I R フィルタ。

【 0 0 5 2 】

(付記 8) 伝送情報からなりビット列で構成される入力データのうち、今回のデータと、該今回のデータを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データ

とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタ。

【 0 0 5 3 】

(付記 9) 付記 8 記載の F I R フィルタにおいて、

フィルタに入力されるデータを、前記入力データと、前記付加データとに分離するデータ分離部を備えていることを特徴とする F I R フィルタ。

【 0 0 5 4 】

(付記 1 0) 付記 8 記載の F I R フィルタにおいて、

前記入力データを順次に受けるシフトレジスタと、

前記シフトレジスタの各遅延子の出力と、タップ係数とを乗算する係数乗算器とを備え、

前記シフトレジスタにおける前記入力データのシフト動作に応じてスイッチングされ、前記係数乗算器の出力を前記第 1 演算部または前記第 2 演算部に伝達する切替スイッチを備えていることを特徴とする F I R フィルタ。

【 0 0 5 5 】

(付記 1 1) 伝送情報からなりビット列で構成される入力データのうち、今回のデータを加算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算する第 2 演算部と、

前記第 1 演算部の出力と前記第 2 演算部の出力とを加算する加算部と、

前記加算部の出力と、前記今回のデータに対応する前記付加データとを乗算し

その結果をフィルタ応答として出力する乗算部とを備えていることを特徴とする F I R フィルタ。

【 0 0 5 6 】

(付記 1 2) 付記 1 1 記載の F I R フィルタにおいて、

フィルタに入力されるデータを、前記入力データと、前記付加データとに分離するデータ分離部を備えていることを特徴とする F I R フィルタ。

(付記 1 3) 付記 1 1 記載の F I R フィルタにおいて、

前記入力データを順次に受けるシフトレジスタと、

前記シフトレジスタの各遅延子の出力と、タップ係数とを乗算する係数乗算器とを備え、

前記シフトレジスタにおける前記入力データのシフト動作に応じてスイッチングされ、前記係数乗算器の出力を前記第 1 演算部または前記第 2 演算部に伝達する切替スイッチを備えていることを特徴とする F I R フィルタ。

【 0 0 5 7 】

(付記 1 4) 付記 1 1 記載の F I R フィルタにおいて、

前記入力データの変化に応答して前記付加データを取り込み、取り込んだデータを前回のデータに対応する付加データとして保持する保持回路と、

前記保持回路から出力される前記付加データと、新たな前記付加データとから前記比を求める演算回路とを備えていることを特徴とする F I R フィルタ。

【 0 0 5 8 】

(付記 1 5) 伝送情報からなりビット列で構成される入力データを順次に受け

前記入力データと、該入力データを伝送するために付加される付加データとを演算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算し、

両演算結果を加算し、その結果をフィルタ応答として出力することを特徴とする F I R フィルタの制御方法。

【 0 0 5 9 】

(付記 1 6) 伝送情報からなりビット列で構成される入力データを順次に受け

前記入力データのうち、今回のデータと、該今回のデータを伝送するために付加される付加データとを演算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データとを演算し、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタの制御方法。

【 0 0 6 0 】

(付記 1 7) 伝送情報からなりビット列で構成される入力データを順次に受け

前記入力データのうち、今回のデータを加算し、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算し、

両演算結果を加算し、

その加算結果を、前記今回のデータに対応する前記付加データとを乗算し、

その結果をフィルタ応答として出力することを特徴とする F I R フィルタの制御方法。

【 0 0 6 1 】

(付記 1 8) F I R フィルタを有する半導体集積回路であって、

前記 F I R フィルタは、

伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタを有する半導体集積回路。

【 0 0 6 2 】

(付記 1 9) F I R フィルタを有する半導体集積回路であって、

前記 F I R フィルタは、

伝送情報からなりビット列で構成される入力データのうち、今回のデータに対応する今回データと、該今回データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データとを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタを有する半導体集積回路。

【 0 0 6 3 】

(付記 2 0) F I R フィルタを有する半導体集積回路であって、

前記 F I R フィルタは、

伝送情報からなりビット列で構成される入力データのうち、今回のデータに対応する今回データを加算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算する第 2 演算部と、

前記第 1 演算部の出力と前記第 2 演算部の出力とを加算する加算部と、

前記加算部の出力と、前記今回のデータに対応する前記付加データとを乗算し

その結果をフィルタ応答として出力する乗算部とを備えていることを特徴とする F I R フィルタを有する半導体集積回路。

【 0 0 6 4 】

(付記 2 1) F I R フィルタでフィルタリングされたデータを送信する通信システムであって、

前記通信システムは、

伝送情報からなりビット列で構成される入力データと、該入力データを伝送するために付加される付加データとを演算する第 1 演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データおよび今回のデータに対応する付加データの差とを演算する第 2 演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とする F I R フィルタでフィルタリングされたデータを送信する通信システム。

【 0 0 6 5 】

(付記 2 2) F I R フィルタでフィルタリングされたデータを送信する通信システムであって、

伝送情報からなりビット列で構成される入力データのうち、今回のデータに対

応する今回データと、該今回データを伝送するために付加される付加データとを演算する第1演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データとを演算する第2演算部と、

両演算結果を加算し、その結果をフィルタ応答として出力する加算部とを備えていることを特徴とするFIRフィルタでフィルタリングされたデータを送信する通信システム。

【0066】

前記通信システムは、

(付記23) FIRフィルタでフィルタリングされたデータを送信する通信システムであって、

前記通信システムは、

伝送情報からなりビット列で構成される入力データのうち、今回のデータを加算する第1演算部と、

前記入力データのうち前回のデータと、該前回のデータに対応する付加データと前記今回のデータに対応する付加データとの比を演算する第2演算部と、

前記第1演算部の出力と前記第2演算部の出力とを加算する加算部と、

前記加算部の出力と、前記今回のデータに対応する前記付加データとを乗算し

、その結果をフィルタ応答として出力する乗算部とを備えていることを特徴とするFIRフィルタでフィルタリングされたデータを送信する通信システム。

【0067】

付記2、付記9、および付記12のFIRフィルタは、フィルタに入力されビット列からなるデータを、入力データと付加データとに分離するデータ分離部を備えている。このため、入力データと付加データとを合わせたデータを容易に分離できる。

付記5のFIRフィルタでは、スイッチは、シフトレジスタのシフト動作毎に、入力側の係数乗算器に対応するスイッチから順次にオフされる。このため、シフト動作により後段の遅延子に順次に伝達されるデータのうち、前回のデータの

みが確実に第 2 加算器ツリーに伝達される。

【 0 0 6 8 】

付記 6 の F I R フィルタは、所定の係数乗算器の出力と、第 2 加算器ツリーとを接続するスイッチを備えている。また、第 1 加算器ツリーを構成する加算器のうち所定の加算器の出力と、第 2 加算器ツリーとを接続するスイッチを備えている。各スイッチは、シフトレジスタにおける入力データのシフト動作に応じてスイッチングされ、第 2 加算器ツリーに前回データを伝達する。第 1 加算器ツリー内の加算器の加算結果を利用できるため、第 2 加算器ツリーの回路規模が縮小される。

【 0 0 6 9 】

付記 7 の F I R フィルタは、保持回路と演算回路とを備えている。保持回路は、入力データの変化にตอบสนองして付加データを取り込み、取り込んだデータを前回データに対応する付加データとして保持する。演算回路は、保持回路から出力される付加データと、新たな付加データとの差を求める。このため、簡単な論理回路で付加データの差が求められる。

【 0 0 7 0 】

付記 1 0 の F I R フィルタは、シフトレジスタと、係数乗算器と、切替スイッチとを備えている。シフトレジスタは、入力データを順次に受け、受けた入力データを遅延子に伝達する。係数乗算器は、シフトレジスタの各遅延子の出力と、タップ係数とを乗算する。切替スイッチは、シフトレジスタにおける入力データのシフト動作に応じてスイッチングされ、係数乗算器の出力を第 1 演算部または第 2 演算部に伝達する。

【 0 0 7 1 】

入力データのビット幅を小さくできるため、係数乗算器の数が低減され、第 1 演算部または第 2 演算部の回路規模が縮小される。

付記 1 4 の F I R フィルタは、保持回路と演算回路とを備えている。保持回路は、入力データの変化にตอบสนองして付加データを取り込み、取り込んだデータを前回データに対応する付加データとして保持する。演算回路は、保持回路から出力される付加データと、新たな付加データとの比を求める。このため、簡単な論理

回路で付加データの比が求められる。

【 0 0 7 2 】

【発明の効果】

請求項 1、請求項 4、請求項 5 の F I R フィルタ、請求項 6、請求項 7、請求項 8 の F I R フィルタの制御方法、請求項 9 の F I R フィルタを有する半導体集積回路、および請求項 1 0 の F I R フィルタでフィルタリングされたデータを送信する通信システムでは、入力データと付加データとを別々に受けて演算を実行するため、フィルタの回路規模を縮小できる。したがって、半導体集積回路のチップサイズを小さくでき、通信システムのコストを低減できる。

【 0 0 7 3 】

請求項 2 の F I R フィルタでは、入力データのビット幅を小さくできるため、係数乗算器の数を低減でき、第 1 および第 2 加算器ツリー、第 1 および第 2 乗算器の回路規模を縮小できる。

請求項 3 の F I R フィルタでは、遅延子に順次に保持されるデータのうち、前回のデータのみを、容易かつ確実に第 2 加算器ツリーに伝達できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示すブロック図である。

【図 2】

図 1 の F I R フィルタの詳細を示すブロック図である。

【図 3】

加算器ツリー ADT2 に入力されるデータを示す説明図である。

【図 4】

図 1 の F I R フィルタの動作を示す説明図である。

【図 5】

本発明の第 2 の実施形態における F I R フィルタを示すブロック図である。

【図 6】

本発明の第 3 の実施形態における F I R フィルタを示すブロック図である。

【図 7】

加算器ADD4に入力されるデータを示す説明図である。

【図 8】

本発明の第 4 の実施形態における F I R フィルタを示すブロック図である。

【図 9】

加算器ツリーADT2に入力されるデータを示す説明図である。

【図 1 0】

図 8 の F I R フィルタの動作を示す説明図である。

【図 1 1】

本発明の第 5 の実施形態における F I R フィルタを示すブロック図である。

【図 1 2】

図 1 1 の F I R フィルタの動作を示す説明図である。

【図 1 3】

本発明の第 6 の実施形態における F I R フィルタを示すブロック図である。

【符号の説明】

1 0 シフトレジスタ

1 2 第 1 演算部

1 4 第 2 演算部

1 6 保持回路

1 8 演算回路

2 0 第 2 演算部

2 2 第 1 演算部

2 4 演算回路

ADD1、ADD2、ADD3 加算器

ADD4、ADD5、ADD6 加算器

ADT1、ADT2 加算器ツリー

C1～C4 タップ係数

DIN 入力データ

DOUT 出力データ

FF1、FF2、FF3、FF4 フリップフロップ

MLT1、MLT2、MLT3、MLT4 係数乗算器

MLT5、MLT6、MLT7 乗算器

SW1、SW2、SW3 スイッチ

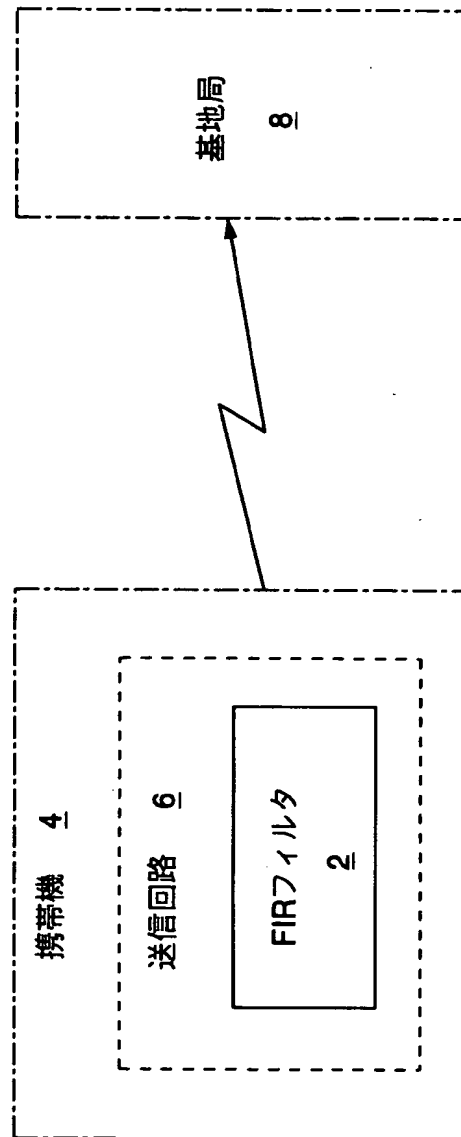
SW4、SW5、SW6、SW7 切替スイッチ

【書類名】

図面

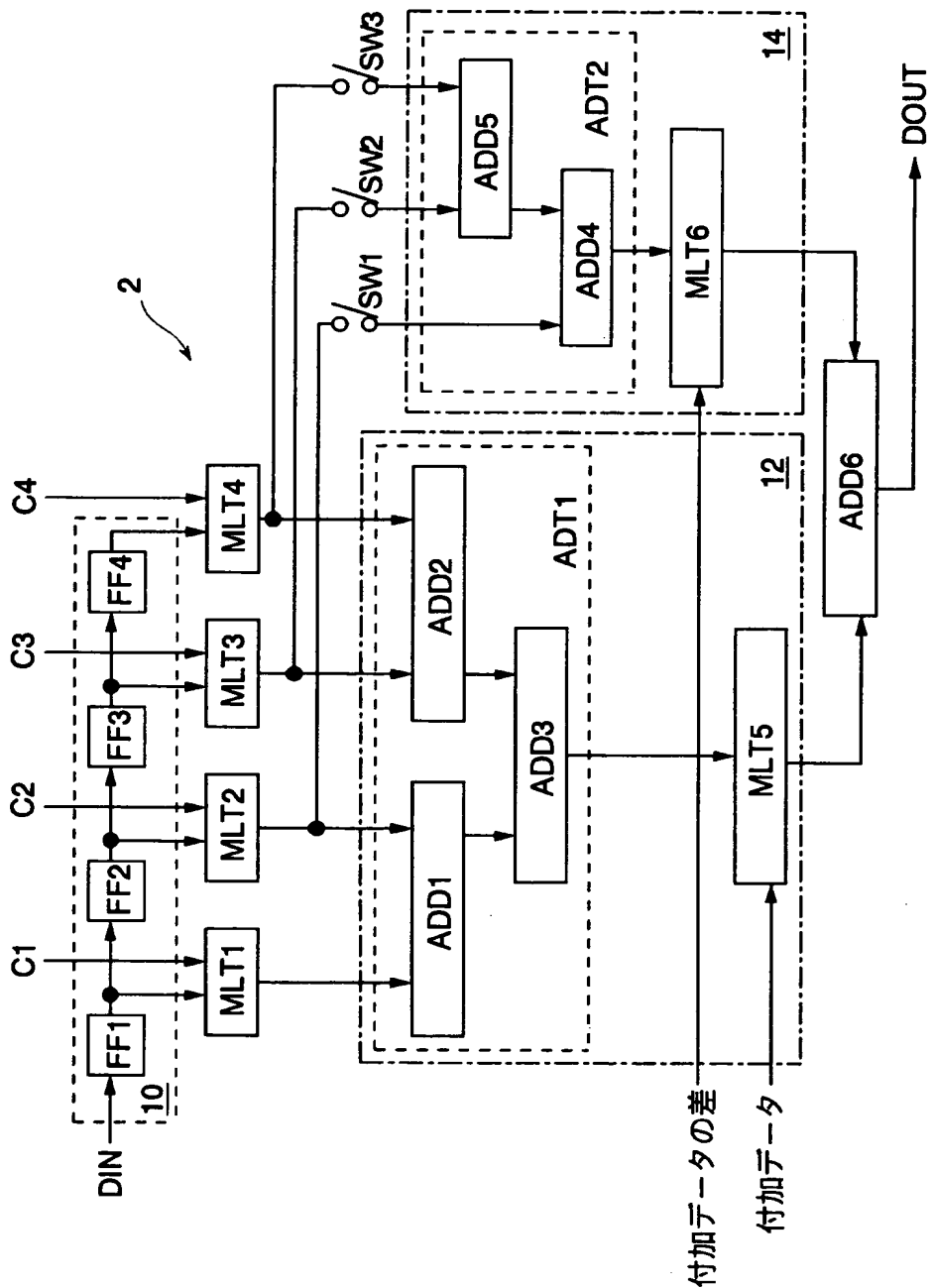
【図 1】

第 1 の実施形態を示すブロック図



【図 2】

図 1 の F I R フィルタの詳細を示すブロック図

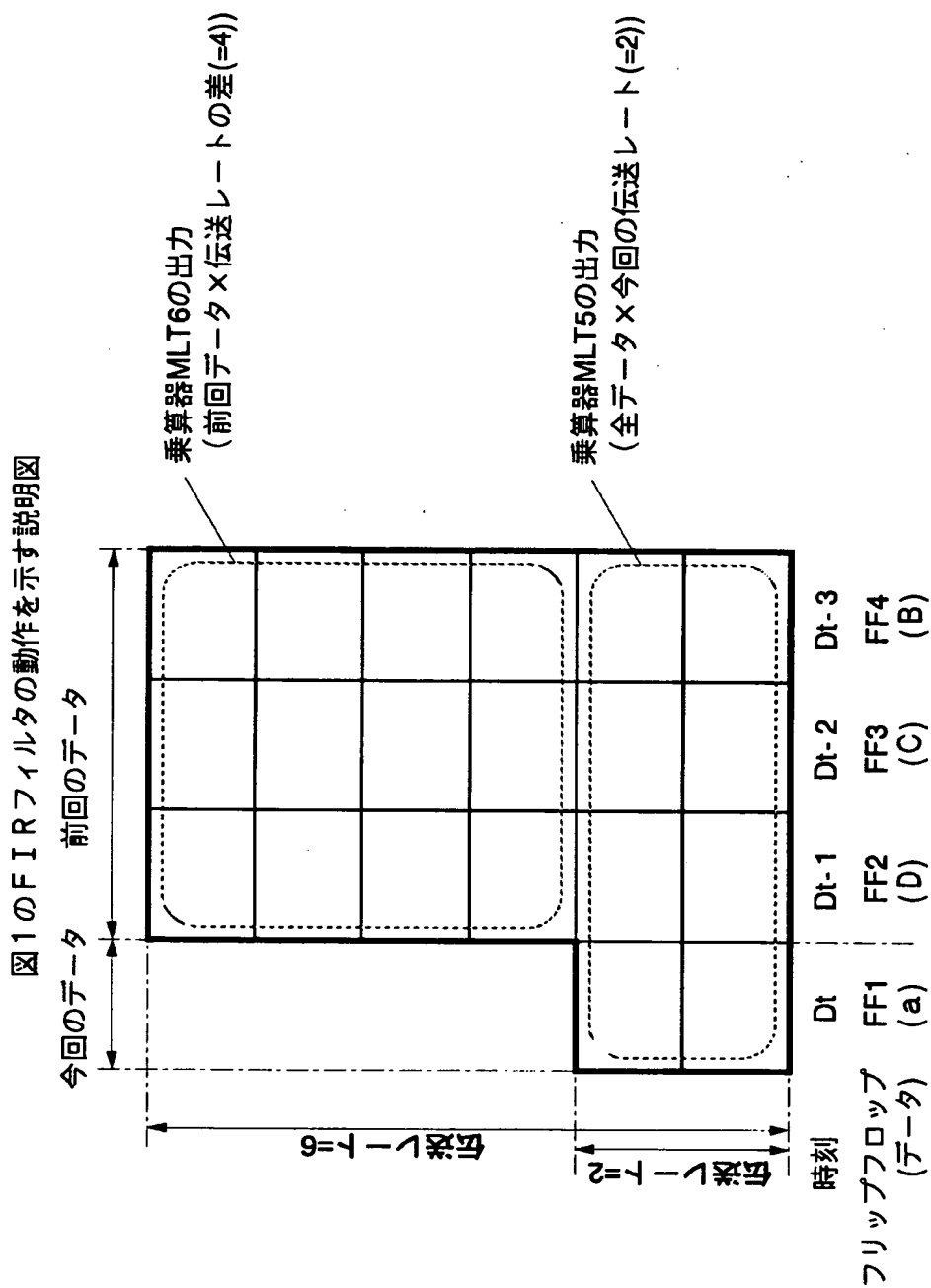


【図 3】

加算器ツリ-ADT2に入力されるデータを示す説明図

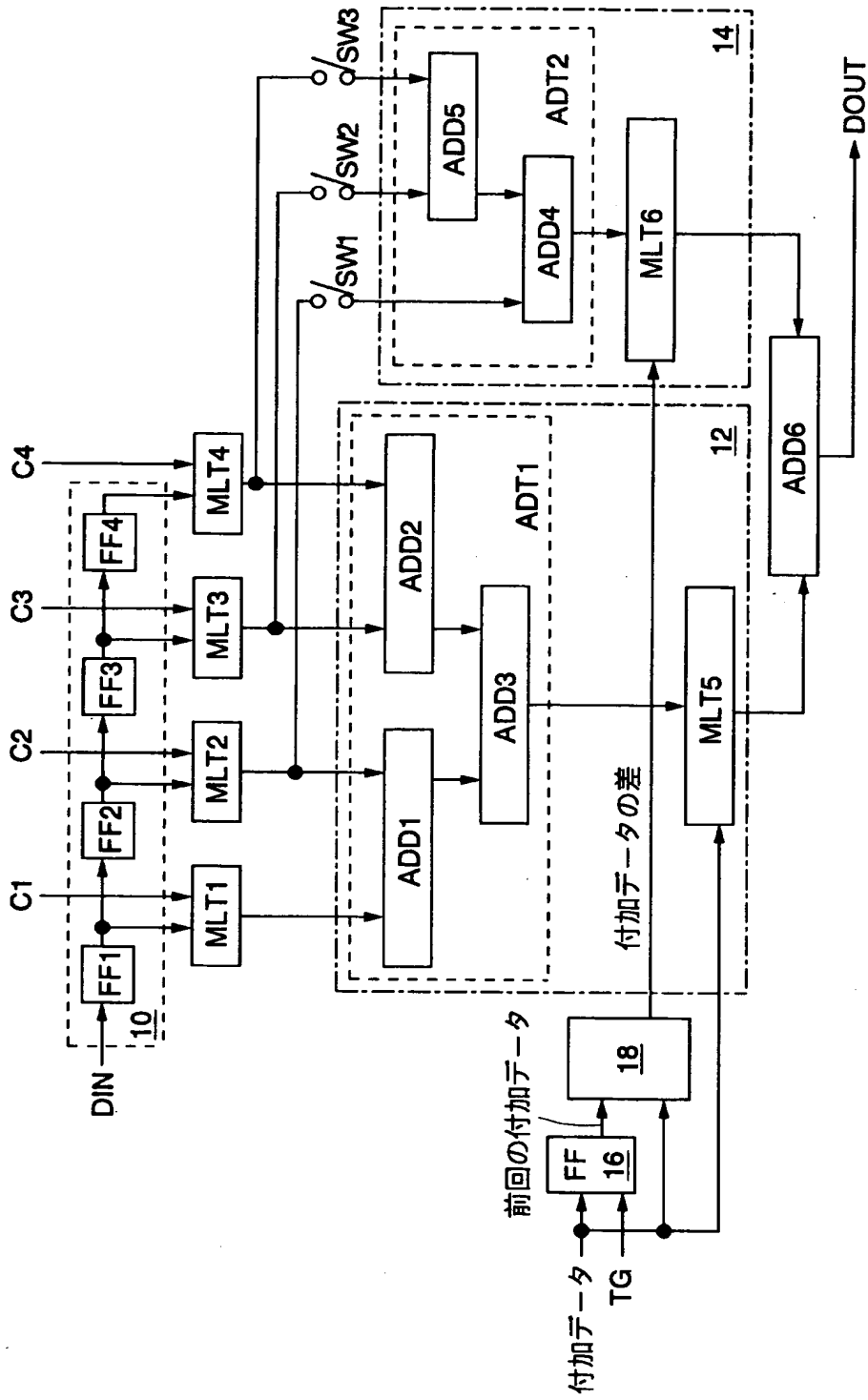
	FF1	FF2	FF3	FF4	SW1	SW2	SW3
Dt-1	D	C	B	A	OFF	OFF	OFF
Dt	a	D	C	B	ON	ON	ON
Dt+1	b	a	D	C	OFF	ON	ON
Dt+2	c	b	a	D	OFF	OFF	ON
Dt+3	d	c	b	a	OFF	OFF	OFF

【図 4】



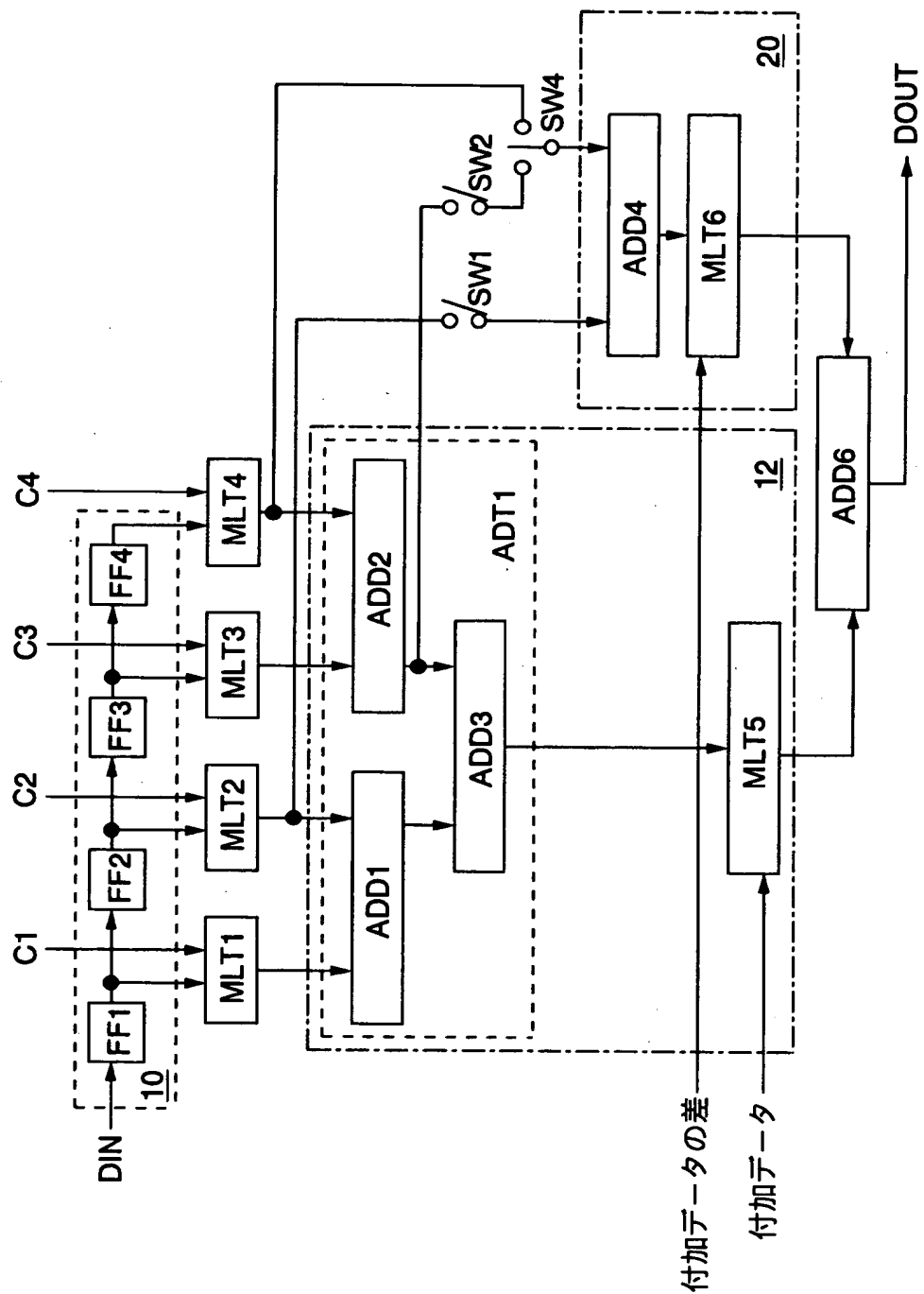
【図 5】

第 2 の実施形態における F I R フィルタを示すブロック図

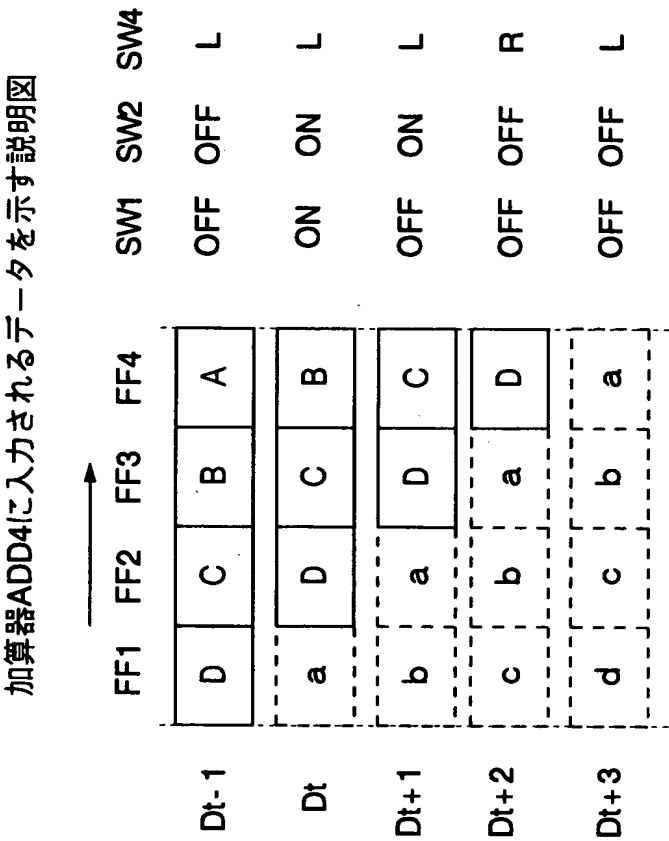


【図 6】

第3の実施形態におけるFIRフィルタを示すブロック図

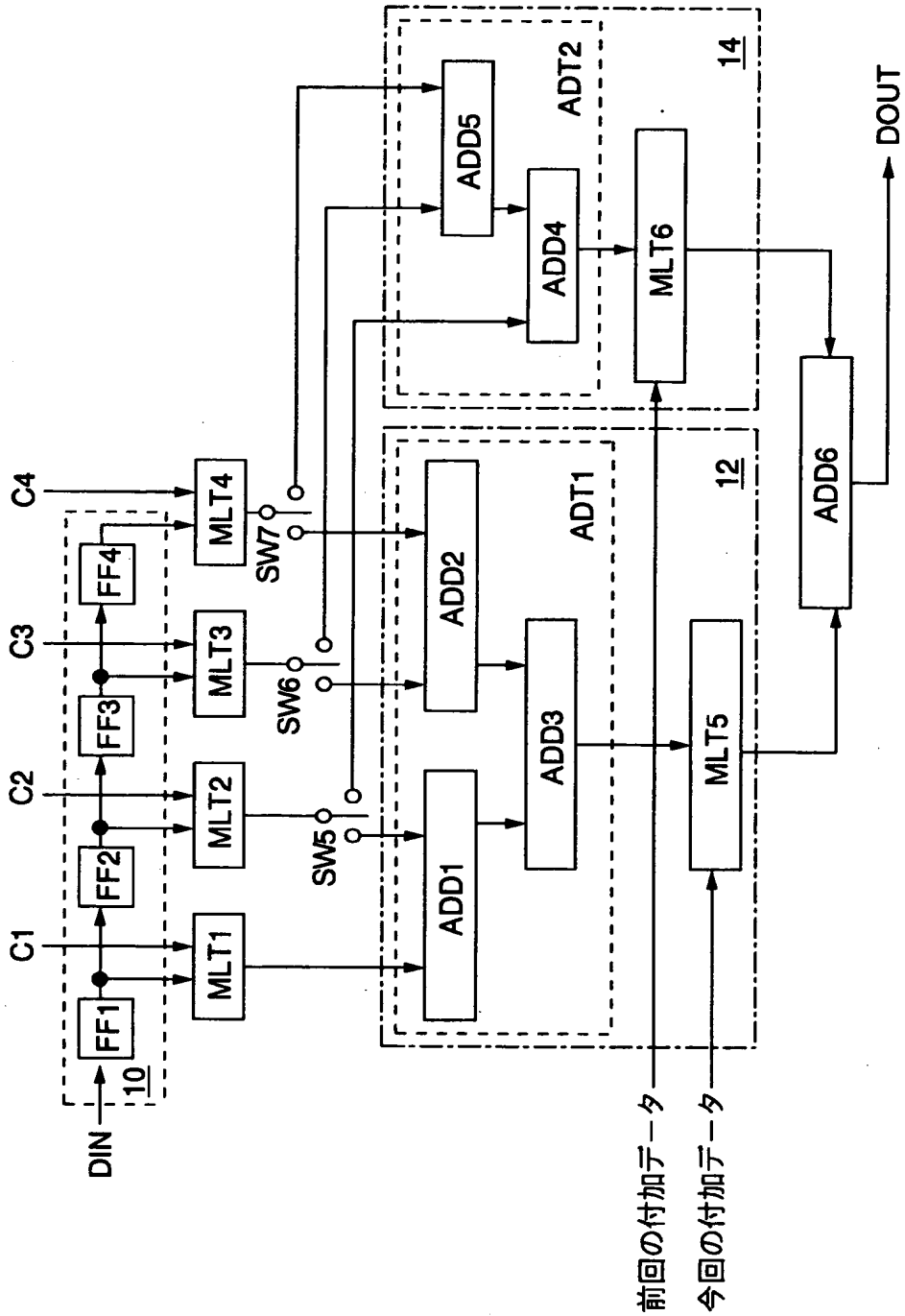


【図 7】



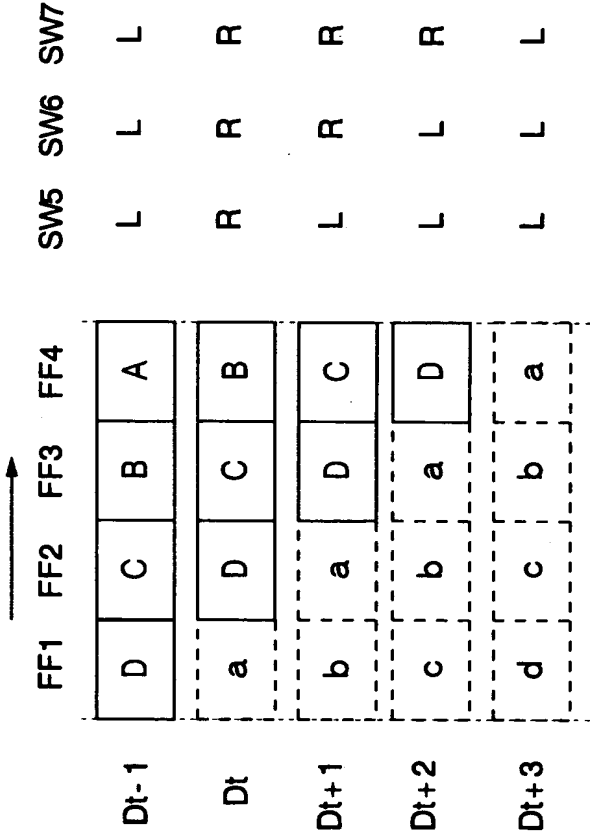
【図 8】

本発明の第 4 の実施形態における FIR フィルタを示すブロック図

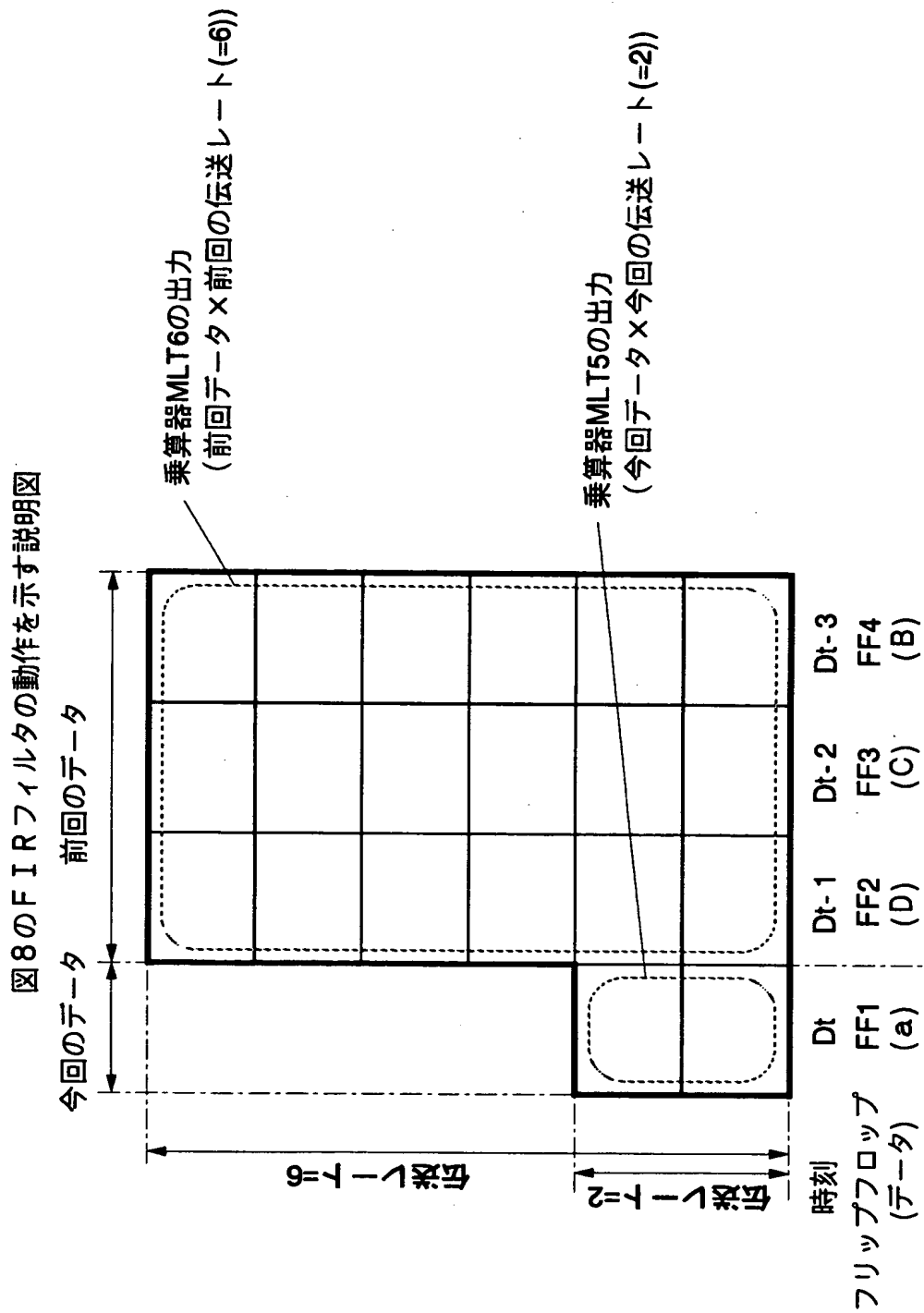


【図 9】

加算器ツリ-ADT2に入力されるデータを示す説明図

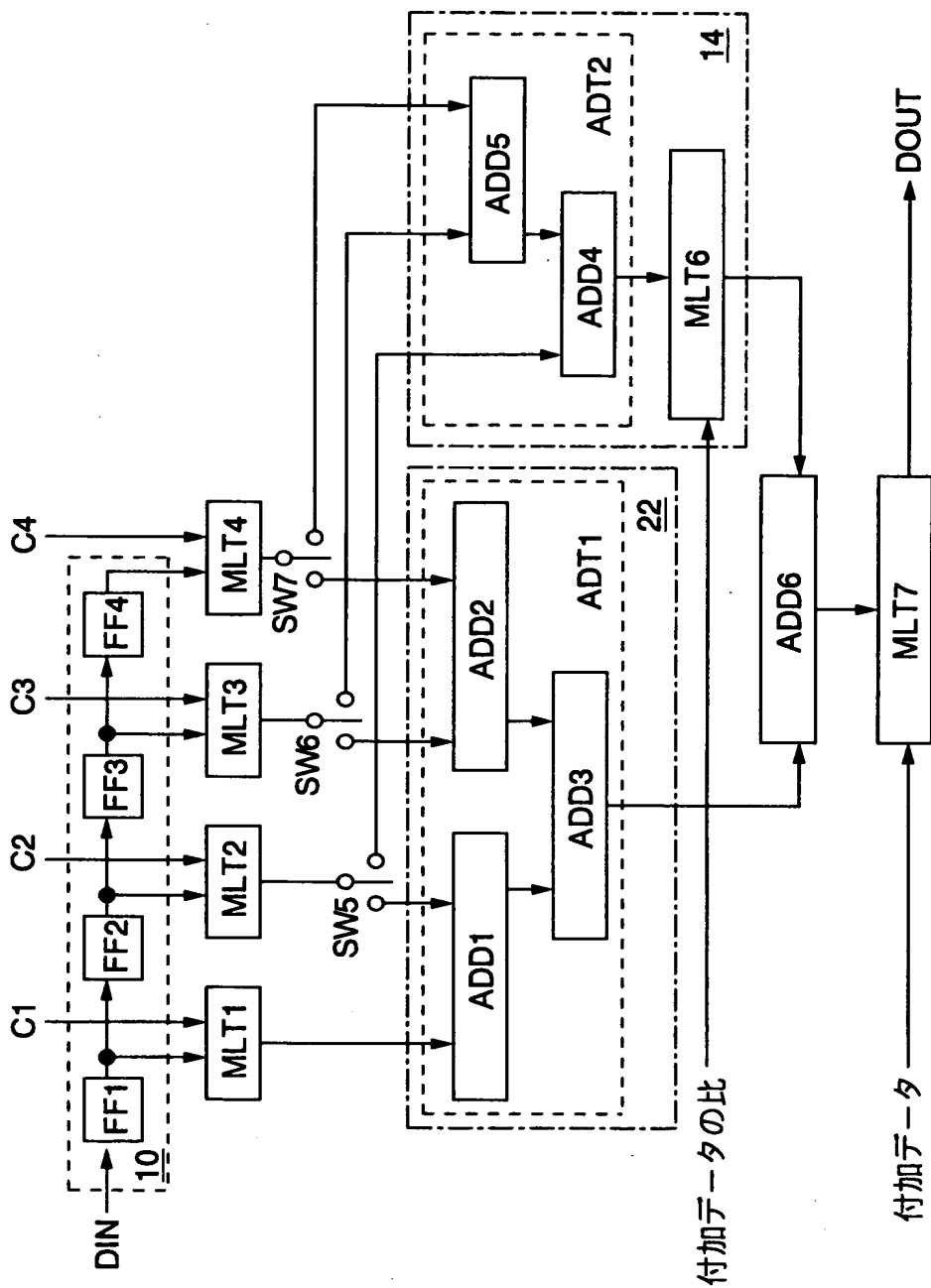


【図10】



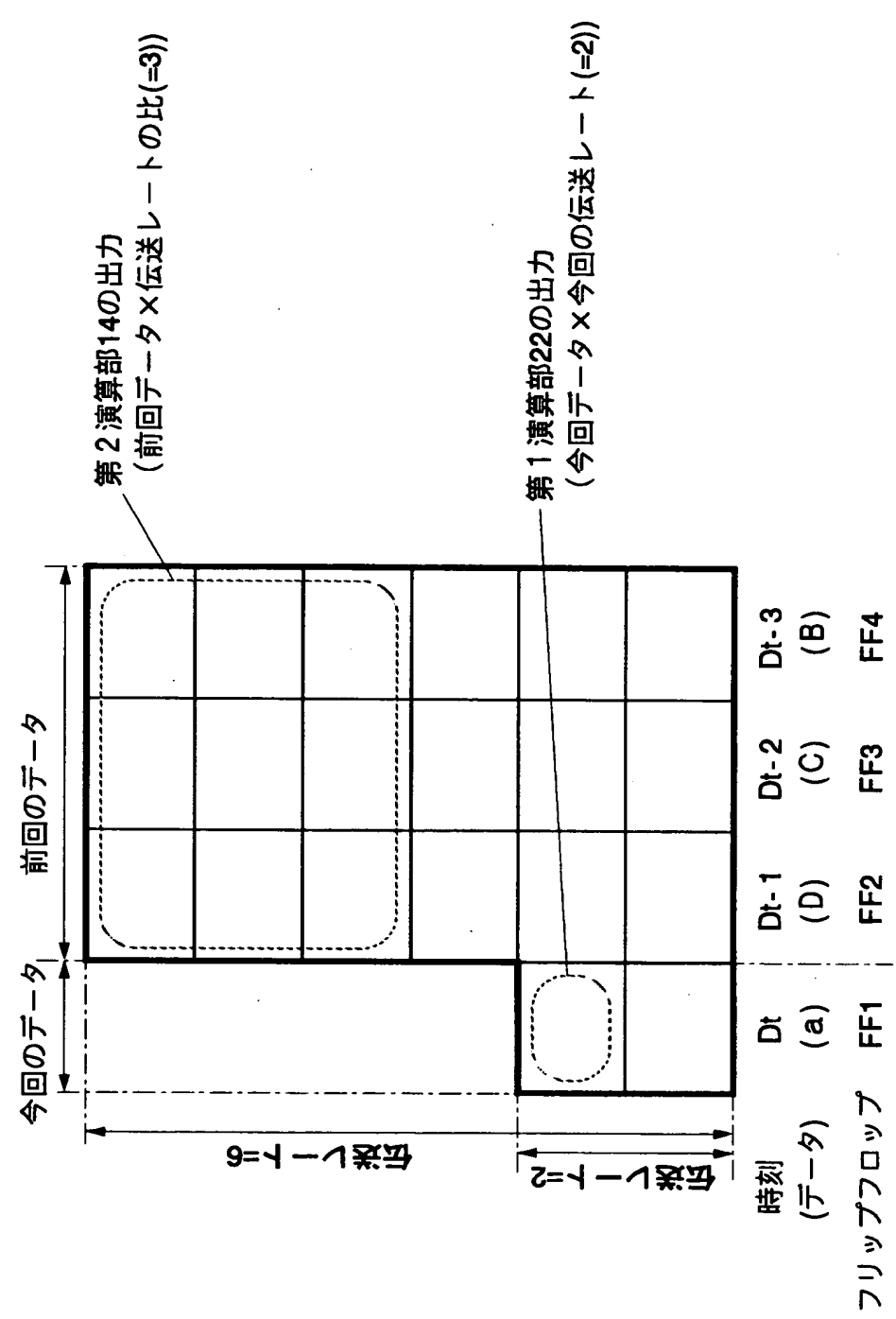
【図 11】

第5の実施形態におけるFIRフィルタを示すブロック図



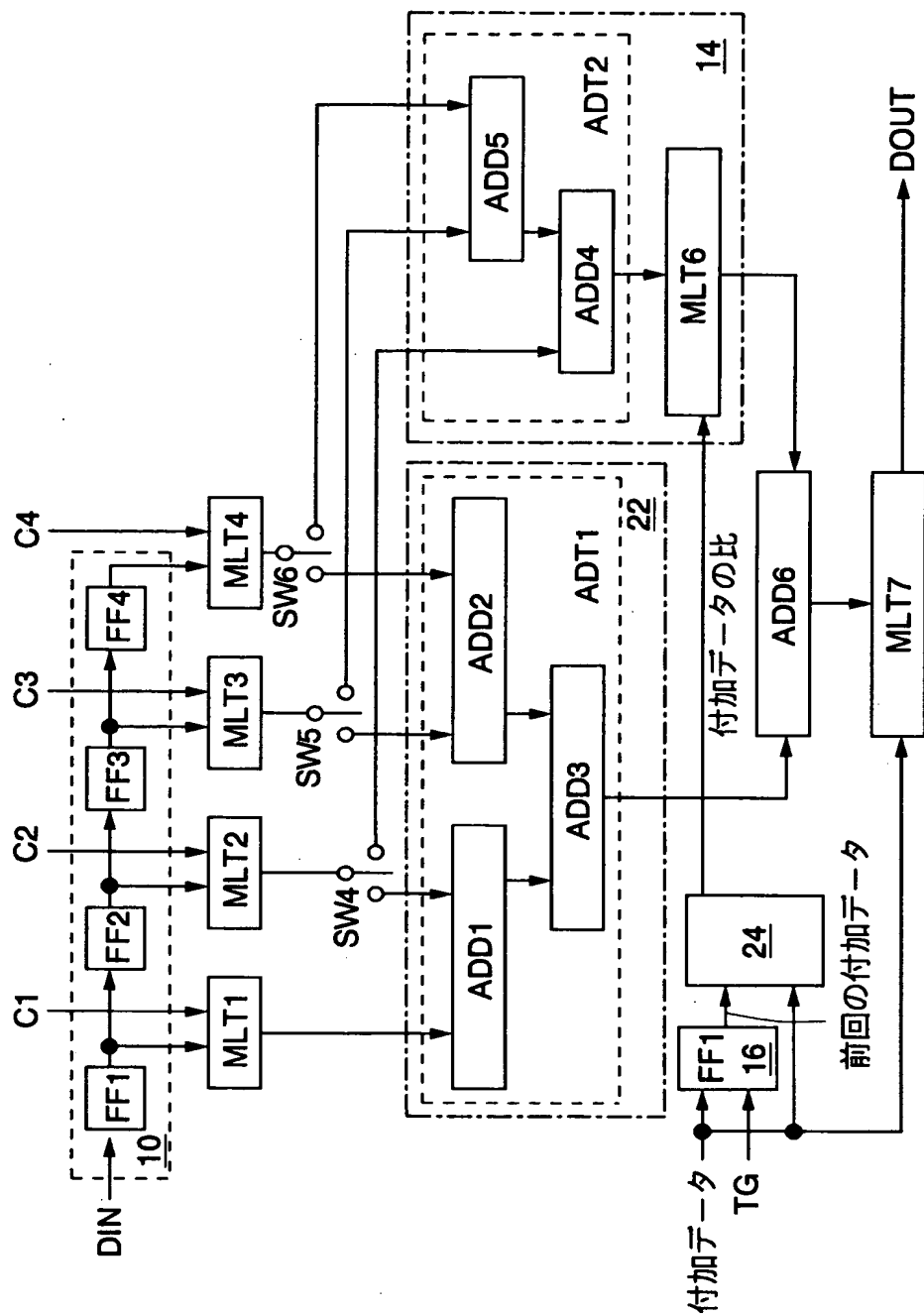
【図 1 2】

図 1 i の F I R フィルタの動作を示す説明図



【図 13】

第 6 の実施形態における FIR フィルタを示すブロック図



【書類名】 要約書

【要約】

【課題】 本発明は、移動通信システムの携帯機等を使用される F I R フィルタに関し、ハードウェアの規模を低減することを目的とする。

【解決手段】 フィルタは、伝送情報からなり入力データと、入力データを伝送するために付加される付加データとをそれぞれ受ける。入力データは、付加データと演算される。入力データのうち前回のデータに対応する付加データと、今回のデータに対応する付加データとの差が求められ、この差と前回のデータとが演算される。そして、これ等演算結果が加算され、その結果がフィルタ応答として出力される。入力データと付加データとを別々に受けて演算が実行されるため、入力データと付加データとを合わせたビット幅の大きいデータを受ける場合に比べ、フィルタの回路規模が低減される。したがって、半導体集積回路のチップサイズが低減され、通信システムのコストが低減される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社